

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Woo-Suk CHUNG, *et al.*

Application No. To Be Accorded

Filed: July 25, 2001

For: TFT LCD DEVICE HAVING MULTI-LAYERED PIXEL ELECTODES

Art Unit: TBD

Examiner: TBD

Atty. Docket: 06192.0221.NPUS00

1c978 U.S. PRO
09/911613
07/25/01

#3
18 Oct 01
R. Talley

CLAIM FOR PRIORITY UNDER 35 U.S.C. § 119 IN UTILITY APPLICATION

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

Priority under 35 U.S.C. § 119 is hereby claimed to the following priority document, filed in a foreign country within twelve (12) months prior to the filing of the above-referenced United States utility patent application:

| Country | Priority Document Application No. | Filing Date |
|-------------------|-----------------------------------|-------------------|
| Republic of Korea | 2001-6820 | February 12, 2001 |

A certified copy of each listed priority documents is submitted herewith. Prompt acknowledgment of this claim and submission is respectfully requested.

Respectfully submitted,

Michael J. Bell
Registration No. 39,604

Date: July 25, 2001

HOWREY SIMON ARNOLD & WHITE, LLP
Box No. 34
1299 Pennsylvania Avenue, NW
Washington, DC 20004-2402
(202) 783-0800

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 특허출원 2001년 제 6820 호
Application Number

출원년월일 : 2001년 02월 12일
Date of Application

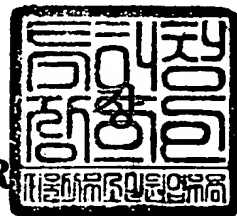
출원인 : 삼성전자 주식회사
Applicant(s)



2001 년 05 월 23 일

특 허 청

COMMISSIONER



| | |
|------------|---|
| 【서류명】 | 특허출원서 |
| 【권리구분】 | 특허 |
| 【수신처】 | 특허청장 |
| 【참조번호】 | 0005 |
| 【제출일자】 | 2001.02.12 |
| 【발명의 명칭】 | 다중 반사막을 가지는 박막트랜지스터 액정표시장치 |
| 【발명의 영문명칭】 | TFT LCD Having Multy-Layer Reflection Electrode |
| 【출원인】 | |
| 【명칭】 | 삼성전자 주식회사 |
| 【출원인코드】 | 1-1998-104271-3 |
| 【대리인】 | |
| 【성명】 | 임창현 |
| 【대리인코드】 | 9-1998-000386-5 |
| 【포괄위임등록번호】 | 1999-007368-2 |
| 【대리인】 | |
| 【성명】 | 권혁수 |
| 【대리인코드】 | 9-1999-000370-4 |
| 【포괄위임등록번호】 | 1999-056971-6 |
| 【발명자】 | |
| 【성명의 국문표기】 | 정우석 |
| 【성명의 영문표기】 | CHUNG,WOO SEOK |
| 【주민등록번호】 | 750119-1057140 |
| 【우편번호】 | 431-058 |
| 【주소】 | 경기도 안양시 동안구 달안동 한양아파트 206동 1005호 |
| 【국적】 | KR |
| 【발명자】 | |
| 【성명의 국문표기】 | 황장원 |
| 【성명의 영문표기】 | HWANG,CHANG WON |
| 【주민등록번호】 | 690105-1344217 |
| 【우편번호】 | 449-840 |
| 【주소】 | 경기도 용인시 수지읍 죽전리 현암마을 동성2차 105동 30호 |
| 【국적】 | KR |

【취지】

특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대
리인
현 (인) 대리인
권혁수 (인) 임창

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 0 면 0 원

【우선권주장료】 0 건 0 원

【심사청구료】 0 항 0 원

【합계】 29,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

반사막을 가지는 박막트랜지스터 액정표시장치가 개시된다. 개시된 장치에 따르면, 기판에 적어도 하나 형성되는 화소의 박막트랜지스터, 소오스/드레인 전극 및 배선들, 박막트랜지스터, 소오스/드레인 전극 및 배선들 위로 기판 전면에 걸쳐 적층되며 상기 소오스 전극 일부를 드러내는 콘택 홀을 가지는 절연막, 절연막 위로 형성되며 상기 콘택 홀을 통해 상기 소오스 전극과 연결되며 상기 박막트랜지스터와 대응관계에 있는 반사형 화소전극을 가지는 박막트랜지스터 액정표시장치에 있어서, 화소전극이 화소전극 전면에 걸쳐서 다중 도전금속막으로 형성되는 것을 특징으로 한다. 이때, 소오스 전극은 상층막이 크롬층 혹은 텅스텐 몰리브덴층 가운데 하나로 이루어지는 복층으로 형성되고, 다중 도전금속막은 하층이 소오스 전극 상층막과 같은 재질로 이루어지고, 상층은 알루미늄 함유 금속으로 형성되는 것이 바람직하다.

【대표도】

도 4

【명세서】**【발명의 명칭】**

다중 반사막을 가지는 박막트랜지스터 액정표시장치 {TFT LCD Having Multy-Layer Reflection Electrode}

【도면의 간단한 설명】

도1 및 도2는 종래의 반사형 박막트랜지스터 액정표시장치에서 반사형 화소전극에 전압인가를 방해하는 문제점들을 설명하기 위한 측단면도들,

도3 내지 도4는 본 발명의 일 실시예의 화소부를 나타내는 평면도 및 단면도,

도5 내지 도8은 도4의 실시예를 형성하기 위한 중요 공정 단계를 나타내는 공정 단면도들이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<4> 본 발명은 박막트랜지스터 액정표시장치에 관한 것으로서, 보다 상세하게는 절연막을 사이에 두고 하부의 소오스 전극과 접속하는 화소전극으로 반사막을 가지는 반사형 혹은 반사투과형 박막트랜지스터 액정표시장치에 관한 것이다.

<5> 박막트랜지스터 액정표시장치는 화소전극의 반사 및 투명도 여부에 따라 반사형과 투과형으로 크게 나뉘며, 부분적으로 반사 영역과 투과 영역을 가지는 반투과형을 이룰 수도 있다. 화소전극에 액정의 배열을 조절할 전압을 인가하기 위해 화소전극은 어떤 형태이건 화소마다 형성되는 박막트랜지스터의 소오스 전극과 연결된다. 통상 화소전극은

박막트랜지스터의 소오스 전극과 중간 절연막에 형성된 비아(via)라 불리는 콘택을 통해 연결된다.

<6> 그런데, 액정표시장치의 특성상 투과형의 경우 화소전극은 투명전극인 인듐 산화물을 사용하는데 이 물질은 배선금속으로 많이 사용되는 알루미늄과 접하면 알루미늄을 산화시켜 계면에 절연성 산화막을 만들고, 화소전극에 전압을 인가하는 데 문제를 일으킬 수 있다. 따라서 투과형 액정표시장치에서는 소오스 전극을 형성할 때 알루미늄 함유 금속 위에 산화에 강한 텅스텐 몰리브덴, 크롬 등을 부가한 이중층으로 만들거나 크롬 등의 단일층으로 만들게 된다.

<7> 한편, 반사형의 경우에 화소전극으로 알루미늄, 알루미늄 네드륨(AlNd)을 가장 많이 사용하게 되는데, 이 경우에도 소오스 전극의 사용범위가 제한된다. 도1을 참조하면, 소오스/드레인 전극(21)으로 알루미늄과 같은 산화되기 쉬운 금속을 사용할 경우가 도시되어 있다. 소오스/드레인 전극 위에 보호막(주로, 감광성 유기 절연막:23)을 적층하고 화소전극(27)과의 연결을 위한 비아 홀을 형성한다. 이때, 비아 홀 형성을 위한 현상 과정 및 세정 과정에서 비아 홀을 통해 드러난 소오스/드레인 전극(21)의 알루미늄 표면에 산화막(25)이 생긴다. 이 산화막(25)은 소오스/드레인 전극(21)과 화소전극(27) 사이에서 콘택 저항을 높이는 문제를 발생시킨다.

<8> 이런 문제를 방지하기 위해 도2와 같이 소오스 전극 상부(212)를 텅스텐 몰리브덴 등의 산화내성이 강한 금속을 사용하는 경우, 화소전극(27)을 이루는 알루미늄 함유 반사막과 소오스 전극 상부(212)의 금속 사이에 전기 음성도의 차이에 의

해 화학전지에서와 유사한 반응(battery effect)이 일어날 수 있다. 가령, 실리콘과 알루미늄 계면에서 발생하는 스파이크(spike) 현상과 유사하게, 계면에 공극(29)이 생길 수 있다. 또한, 계면에 발생한 공극(29)으로 주변의 알루미늄층이 함몰되면서 계면 주위의 단차진 부분에 알루미늄 함유 반사막에 크랙(31)이 발생하거나 기타 알루미늄 함유 반사막이 훼손되는 현상이 나타날 수 있다. 이들 공극(29)이나 크랙(31)은 모두 화소전극(27)과 소오스 전극(21) 사이의 콘택 저항을 높이는 역할을 하여 문제가 발생하게 된다. 이때 문제가 되는 배터리 효과(battery effect)는 두 금속 사이의 전기 음성도 차이에 비례하는 외에 접촉하는 두 금속의 표면적에 비례하는 특징이 있다. 통상 소오스 전극은 화소 전극에 비해 표면적이 매우 작으므로 배터리 효과는 더욱 확대되고 콘택 저항이 매우 높아진다.

<9> 그러나, 반사판으로 텅스텐 몰리브덴이나 크롬을 사용하는 것은 반사도와 도전성을 떨어뜨리는 문제가 있으므로 바람직하지 못하다. 따라서, 반사판의 반사도와 도전성을 높게 유지하면서 배터리 효과나 소오스 전극의 표면 산화로 인한 화소전극과 소오스 전극 계면의 콘택 저항 증가를 억제할 수 있는 박막트랜지스터 액정표시장치가 요청되고 있다.

【발명이 이루고자 하는 기술적 과제】

<10> 본 발명은 상술한 종래의 문제점을 해결하기 위한 것으로, 반사판의 반사도와 도전성을 높게 유지하면서, 화소전극과 소오스 전극 계면의 배터리 효과를 억제할 수 있는 박막트랜지스터 액정표시 장치를 제공하는 것을 목적으로 한다.

<11> 또한, 본 발명은 반사판의 반사도와 도전성을 높게 유지하면서, 화소전극과

소오스 전극 계면에 절연성 산화막이 발생하는 것을 방지할 수 있는 박막트랜지스터 액정표시 장치를 제공하는 것을 목적으로 한다.

<12> 결국, 본 발명은 반사판의 반사도와 도전성을 높게 유지하면서, 화소전극과 소오스 전극 계면의 콘택 저항 증가를 효과적으로 방지할 수 있는 박막트랜지스터 액정표시 장치를 제공하는 것을 목적으로 한다.

【발명의 구성 및 작용】

<13> 상기 목적을 달성하기 위한 본 발명의 박막트랜지스터 액정표시장치는 반사막을 가지는 박막트랜지스터 액정표시장치에 있어서, 화소전극 전면에 걸쳐 화소전극을 이루는 반사막을 다중 도전막으로 형성함을 특징으로 한다. 바람직하게는, 소오스 전극의 상부에 산화도가 낮은 금속을 사용하고, 상기 금속과 닿는 반사막 하부에 상기 금속과 전기 음성도 차이가 낮은 금속을 사용하며, 반사막 상부에 알루미늄 함유 금속을 사용하는 것을 특징으로 한다.

<14> 본 발명에서, 반사막 하층의 금속은 소오스 전극 상부의 금속과 동일한 금속을 사용하는 것이 보다 바람직하며, 통상 텅스텐 몰리브덴, 크롬 등을 사용할 수 있다. 알루미늄 함유 금속은 순수 알루미늄이나 알루미늄 내디몹을 통상 사용한다. 반사막은 따라서 소오스 전극 상부에 사용된 금속을 적층하고 바로 알루미늄 등의 반사금속을 적층한 다음 이들을 연속적으로 패터닝하는 방법으로 형성하게 될 것이다. 그러나 반사막이 반드시 2중층으로 한정된 것은 아니다. 즉, 바테리 효과를 보다 효과적으로 억제하기 위해 필요한 경우, 소오스 전극 상부에 사용된 금속을 먼저 적층하고, 중간 금속층을 다시 적층한 뒤에 알루미늄 등의 반사금속층을 적층하고 패터닝할 수 있다.

- <15> 그리고, 소오스 금속은 통상 드레인 전극 및 드레인 전극에 이어지는 데이터 라인과 동일한 도전층으로 형성되는데 데이터 라인의 저항에 따른 신호 전압 강하를 방지하기 위해 도전성이 클 것이 요구된다. 따라서, 소오스 금속은 도전성을 높이기 위한 알미늄층 위에 산화 방지를 위한 크롬이나 텅스텐 몰리브덴을 부가하여 사용하거나, 활성 영역의 실리콘과의 접촉에 의한 스파이크 현상을 방지하기 위해 알미늄층 아래 크롬이나 텅스텐 몰리브덴을 더 부가하는 3중층으로 형성하는 것이 바람직하다. 또한, 데이터 라인을 3중층으로 형성할 경우, 반사막 패터닝 과정에서 알미늄 함유층과 함께 패터닝하기 용이하다는 측면에서 크롬 보다는 텅스텐 몰리브덴을 이용하는 것이 보다 바람직하다.
- <16> 본 발명에 따르면, 소오스 전극 상부와 화소전극의 반사막 하부가 동일한 금속 혹은 전기 음성도의 차이가 낮은 금속으로 이루어지므로 이들 사이의 바테리 효과를 무시할 수 있다. 또한, 반사막에서 하부 금속층과 상부 금속층이 동일한 면적을 가지도록 형성되므로 비록 두 금속층 사이에 전기 음성도의 차이는 있지만 면적의 차이에 의한 바테리 효과를 방지할 수 있다. 결과적으로 소오스 전극과 반사막 사이의 바테리 효과는 많은 부분이 억제되고, 콘택 계면의 스파이크 현상이나 계면 주변의 크랙은 방지될 수 있다.
- <17> 또한, 소오스 전극 상부의 금속으로 산화에 대한 내성이 강한 금속을 사용하므로써 소오스 전극 표면이 산화성 있는 세정액 및 현상액 기타 산화성 환경에 노출되는 경우에도 표면에 절연성 산화막이 생겨 콘택 저항을 높이는 것을 막을 수 있다.
- <18> 이하 도면을 참조하면서 실시예를 통해 본 발명을 상세히 설명하기로 한다.
- <19> 도3은 본 발명의 한 예로써 탑 게이트 폴리실리콘형 박막트랜지스터 액정표시장치의 개별 화소부 구성요소의 레이아웃을 나타내는 평면도이다. 도3을 참조하면, 본 발명

의 액정표시장치의 개별 화소부는 평면상으로 볼 때 통상의 반사형 혹은 투과형 박막트랜지스터 액정표시장치와 동일하게 이루어짐을 알 수 있다. 즉, 반도체층 활성영역 패턴(13), 활성영역 패턴(13) 위에 형성된 게이트 절연막(미도시), 게이트 절연막 위로 형성되며, 활성영역 패턴(13)을 가로질러 두 부분으로 분할하는 게이트 전극을 포함하는 게이트 배선(17)을 가지는 박막트랜지스터가 구비된다.

<20> 게이트 전극은 행 방향으로 형성되는 게이트 배선(17)의 일부를 이루며, 게이트 배선(17) 위로 형성되는 층간 절연막(미도시)이 덮인다. 층간 절연막에는 콘택 홀이 형성되어 활성 영역 패턴(13)이 게이트 전극에 의해 분할된 두 부분 각각이 연결되도록, 도전층을 적층 패터닝하여 형성된 소오스/드레인 전극(21)이 있다. 통상, 소오스/드레인 전극(21)과 같은 도전층으로, 상기 소오스/드레인 전극(21) 가운데 드레인측과 연결되는 데이터 배선(210)이 형성된다. 데이터 배선(210)은 게이트 배선(17)과 수직 방향인 열 방향으로 형성되어 있다.

<21> 소오스/드레인 전극(21) 및 데이터 배선(210) 위로 소오스/드레인 전극(21) 가운데 소오스측의 일부를 드러내는 비아홀(24)을 가지는 보호막(미도시)이 형성되어 있다. 보호막 위로, 비아홀(24)을 통해 소오스 전극과 접속되는 화소전극(27)이 도전층 적층 패터닝을 통해 형성된다. 게이트 배선(17)과 나란히 달리는 것은 정전용량을 보충하기 위해 형성되는 스토리지 라인(53)이다.

<22> 이상의 구성은 본 발명이 종래의 기술에 비해 평면적으로 나타나는 새로운 구성 요소를 도입한 것이 아니고, 기존의 구성 요소인 화소전극을 단일층에서 복합층으로 전환시키는 것임을 고려하면 당연한 것이다.

<23> 도4는 도3의 I I 절단선에 따라 절개한 측단면을 나타낸다. 기판(10)에 탑 게이트

폴리실리콘형 박막트랜지스터가 형성되어 있고, 층간 절연막(19)에 형성된 콘택 홀에 의해 층간 절연막(19) 위에 형성되는 소오스/드레인 전극(121)이 박막트랜지스터의 소오스/드레인 영역과 접속되어 있다. 소오스/드레인 전극(121)은 텅스텐 몰리브덴층이 상하층(122, 124)을 이루고 있고, 중간층(123)이 알루미늄 내디몹층으로 이루어진 3중막으로 이루어져 있다. 소오스/드레인 전극(121) 위에는 감광성 유기 절연막으로 된 보호막(23)이 수 μm 두께로 적층되어 있다. 보호막(23)은 소오스 전극 위에서 제거되어 비아 홀을 이루고 있으며, 비아 홀을 통해 보호막(23) 위에 적층 패터닝된 화소전극(127)이 소오스 전극과 닿아 있다. 화소전극 하부(271)는 텅스텐 몰리브덴층으로 이루어지고, 화소전극 상부(272)는 알루미늄 내디몹층으로 이루어져 있다.

- <24> 이하 도5 내지 도8은 도4의 구성을 이루는 과정을 나타내는 공정 단면도들이다.
- <25> 도5를 참조하면, 먼저 기판에 박막트랜지스터 구조를 형성한다. 박막트랜지스터 구조를 형성하기 위해서 먼저 기판에 아몰퍼스 실리콘층을 형성하고 레이저 어닐링을 통해 폴리실리콘층으로 변화시킨다. 통상, 아몰퍼스 실리콘층을 형성하기 전에 블로킹층(blocking layer:11)로 실리콘 산화막을 수백 내지 1000 옹스트롬 적층한다. 그리고, 폴리실리콘층을 패터닝하여 활성 영역 패턴(13)을 형성한다. 활성 영역 패턴(13) 위로 게이트 절연막(15)을 적층한다. 게이트 절연막(15)은 실리콘 산화막 혹은 실리콘 질화막을 CVD 방법으로 백 내지 수백 옹스트롬 정도 적층하여 형성한다. 게이트 절연막(15) 위로 게이트 배선(17)을 형성한다. 게이트 배선(17)과 함께 스토리지 배선(53)도 형성된다. 게이트 배선(17)은 알루미늄 함유 금속의 단일층 혹은 알루미늄 함유 금속에 텅스텐 몰리브덴이나 크롬층을 적층한 복수의 금속층으로 이루어진다. 게이트 배선(17)은 화소의 게이트 전극과 게이트 패드를 포함하는 개념이다. 게이트 전극을 이온주입 마스크로 활성 영

역 패턴에 이온주입을 실시하여 소오스/드레인 영역과 채널 영역을 구분하게 된다.

<26> 도시되지 않지만, 폴리실리콘형 액정표시장치는 주변부에 n형 트랜지스터와 p형 트랜지스터가 함께 형성되는 것이 일반적이므로 이런 이온주입 공정은 각 불순물 타입에 걸쳐 2번 이루어지며, 각각에 대해 이온주입 마스크를 형성하게 된다.

<27> 도6을 참조하면, 게이트 배선(17) 위로 주로 실리콘 질화막이나 실리콘 산화막을 CVD로 적층하여 층간 절연막(19)을 형성한다. 소오스 드레인 영역에서 층간 절연막(19)과 게이트 절연막(15)을 제거하여 활성 영역 패턴(13)의 일부를 드러내는 콘택 홀을 형성한다. 그리고, 텅스텐 몰리브덴, 알루미늄 내디움, 텅스텐 몰리브덴으로 하층(122), 중층(123), 상층(124)의 3중층을 스퍼터링 방법으로 기판 전체에 적층한다. 또한, 동일한 식각 마스크를 이용하여 이들 3중층을 연속적으로 패터닝하여 소오스/드레인 전극(121)과 도시되지 않은 데이터 라인을 형성한다.

<28> 이상의 예는 활성 영역을 폴리 실리콘으로 형성하는 저온 다결정 실리콘 박막트랜지스터 액정표시장치의 경우를 나타내고 있으나, 아몰퍼스 실리콘 형성 후 레이저 어닐링을 거치지 않는 활성 영역을 아몰퍼스 실리콘을 형성하는 아몰퍼스 실리콘형 박막트랜지스터 액정표시장치에서도 본 발명의 적용은 가능하다. 또한, 아몰퍼스 실리콘형 박막트랜지스터는 본 예와 같이 탑 게이트형일 수 있고, 바텀 게이트 구조를 가지는 것도 무방하다.

<29> 도7을 참조하면, 감광성 유기 절연막을 보호막(23)으로 박막트랜지스터가 형성된 기판 전면에서 형성한다. 감광성 유기 절연막은 별도의 식각 없이 패터닝을 할 수 있으므로 다른 절연막에 비해 편리한 점이 있다. 그리고 노광 및 현상을 통해 소오스 전극의 일부를 드러내는 비아 홀을 형성한다. 현상 과정에서 소오스 전극 영역의 일부 보호막

(23)이 제거되어 비아 홀을 만들고 이 비아 홀을 통해 산화성이 강한 현상액이 소오스 전극에 닿게 된다. 그러나, 소오스/드레인 전극 상층(124)은 산화에 강한 텅스텐 몰리브덴으로 이루어져 절연성 산화막을 형성하지 않는다. 한편, 보호막(23) 상면에 대해 노광을 조절함으로써 울록불록한 작은 돌기들을 형성할 수 있다. 이들 돌기들은 집합적으로 마이크로 렌즈를 형성하여 화소전극을 이루는 반사판의 집광효율을 높일 수 있다.

<30> 도8을 참조하면, 스퍼터링 공정을 통해 얇은 텅스텐 몰리브덴막과 알루미늄 내디몹막을 화소전극 상하부(271,272)로서 차례로 적층한다. 그리고 포토레지스트로 화소전극 패턴을 형성하고 이를 식각 마스크로 알루미늄 내디몹막과 텅스텐 몰리브덴막을 차례로 식각하여 이중층 반사판, 즉, 이중층 화소전극(127)을 형성한다. 텅스텐 몰리브덴은 알루미늄 내디몹막과 함께 연속으로 식각할 수 있으므로 크롬막을 사용하는 것에 비해 편리한 점이 있다. 텅스텐 몰리브덴막과 알루미늄 내디몹막 사이에 다른 도전금속을 적층하는 것도 가능하다. 가령, 반사판을 이루는 화소전극의 상부와 하부 금속층 사이의 전기 음성도가 큰 경우 재질의 차이에서 오는 배터리 효과가 커질 수 있으므로 이를 줄이기 위해 하부(271) 금속층과 상부(272) 반사금속층의 중간 정도의 전기음성도를 가지는 버퍼 금속층을 상하부 금속층 사이에 개재시켜 사용하는 것을 생각할 수 있다.

<31> 한편, 이상의 예에서는 화소전극으로 반사막만을 가진 반사형 액정표시장치의 경우를 살펴보았으나, 본 발명은 반사형 액정표시장치에 한정된 것은 아니다. 즉, 반사막을 사용하는 화소전극은 반사형뿐만 아니라 반사투과형도 있을 수 있다. 반사투과형의 한 예를 들면, 소오스 전극 일부를 드러내는 보호막을 형성한 후에 화소영역에 투명전극으로 이루어진 화소전극 패턴을 형성한다. 그리고 투명한 화소전극 패턴이 형성된 기판에 크롬막과 알루미늄막을 차례로 적층하고 함께 패터닝하여 화소영역 일부에 창을 가진 반사

막 화소전극 패턴을 이룬다. 소오스 전극은 텅스텐 몰리브덴 상하층과 알미늄 중간층을 가진 3층막으로 한다. 이런 예에서 비록 소오스 전극 상층과 화소전극의 하층이 동일한 막으로 이루어지지는 않지만 화소전극의 알미늄층이 소오스 전극 상층과 바로 접하여 발생하는 문제점을 상당부분 경감할 수 있다.

【발명의 효과】

<32> 본 발명에 따르면, 알미늄 함유 금속으로 이루어진 단일층 반사판으로 박막트랜지스터 액정표시장치를 형성하는 경우에 비해 공정에 부정적인 영향을 끼치는 배터리 효과 등의 전기화학적 효과를 방지할 수 있다. 따라서, 반사전극의 훼손을 막고 반사율을 높여 보다 높은 화질을 구현할 수 있다.

<33>

【특허청구범위】**【청구항 1】**

기판,

상기 기판에 적어도 하나 형성되는 박막트랜지스터, 소오스/드레인 전극 및 배선들

상기 박막트랜지스터, 소오스/드레인 전극 및 배선들 위로 상기 기판 전면에서 걸쳐 적층되며 상기 소오스 전극 일부를 드러내는 콘택 홀을 가지는 절연막,

상기 절연막 위로 형성되며 상기 콘택 홀을 통해 상기 소오스 전극과 연결되며 상기 박막트랜지스터와 대응관계에 있는 반사막 화소전극을 가지는 박막트랜지스터 액정표시장치에 있어서,

상기 화소전극이 화소전극 전면에서 걸쳐서 다중 도전막으로 형성되는 것을 특징으로 하는 반사형 박막트랜지스터 액정표시장치.

【청구항 2】

제 1 항에 있어서,

상기 소오스 전극은 복수의 층으로 이루어지고, 상기 복수의 층 가운데 최상층막은 크롬층 혹은 텅스텐 몰리브덴층 가운데 하나로 이루어지는 것을 특징으로 하는 반사형 박막트랜지스터 액정표시장치.

【청구항 3】

제 2 항에 있어서,

상기 다중 도전막은 2중층으로 이루어지며, 하층은 상기 최상층막과 같은 재질로

이루어지고, 상층은 알루미늄 함유 금속으로 형성되는 것을 특징으로 하는 반사형 박막트랜지스터 액정표시장치.

【청구항 4】

제 2 항에 있어서,

상기 다중 도전막은 3중층으로 이루어지며, 상기 최상층막과 같은 재질의 하층과 알루미늄 함유 금속으로 형성된 상층 사이에 전기음성도가 하층과 상층의 중간에 있는 중층 도전막을 구비함을 특징으로 하는 반사형 박막트랜지스터 액정표시장치.

【청구항 5】

제 2 항에 있어서,

상기 복수의 층은 중간의 알루미늄 함유 금속층과 하부의 텅스텐 몰리브덴층을 포함하는 3중층으로 이루어지는 것을 특징으로 하는 반사형 박막트랜지스터 액정표시장치.

【청구항 6】

제 1 항에 있어서,

상기 박막트랜지스터는 탑 게이트 폴리실리콘형 박막트랜지스터인 것을 특징으로 하는 반사형 박막트랜지스터 액정표시장치.

【청구항 7】

제 1 항에 있어서,

상기 절연막은 감광성 유기 절연막으로 이루어진 것을 특징으로 하는 반사형 박막트랜지스터 액정표시장치.

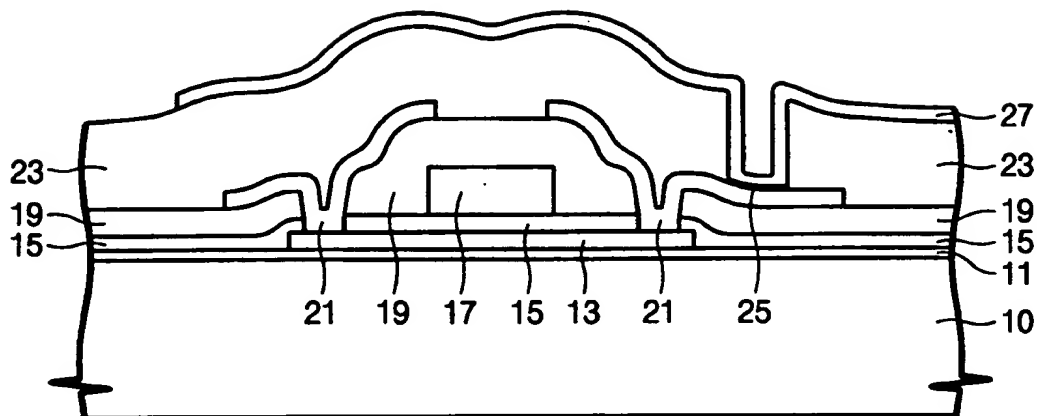
【청구항 8】

제 7 항에 있어서,

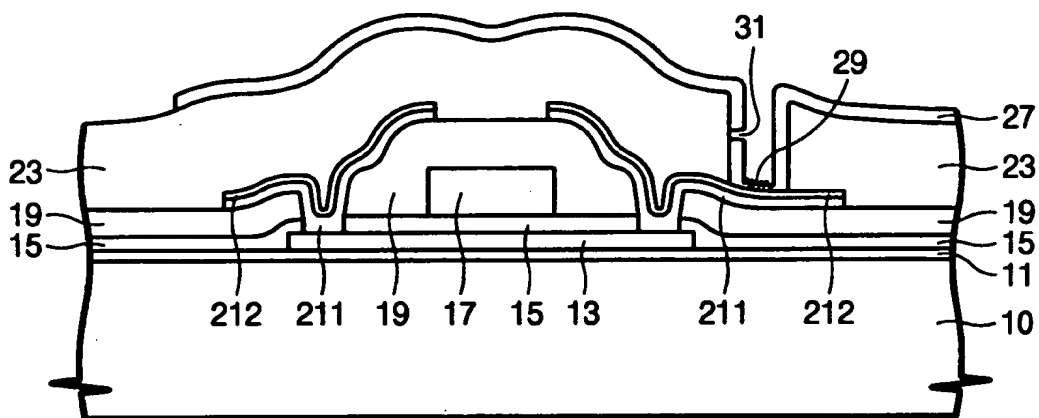
상기 절연막 상면에 마이크로 렌즈의 역할을 할 수 있는 작은 돌기들이 형성된 것을 특징으로 하는 반사형 박막트랜지스터 액정표시장치.

【도면】

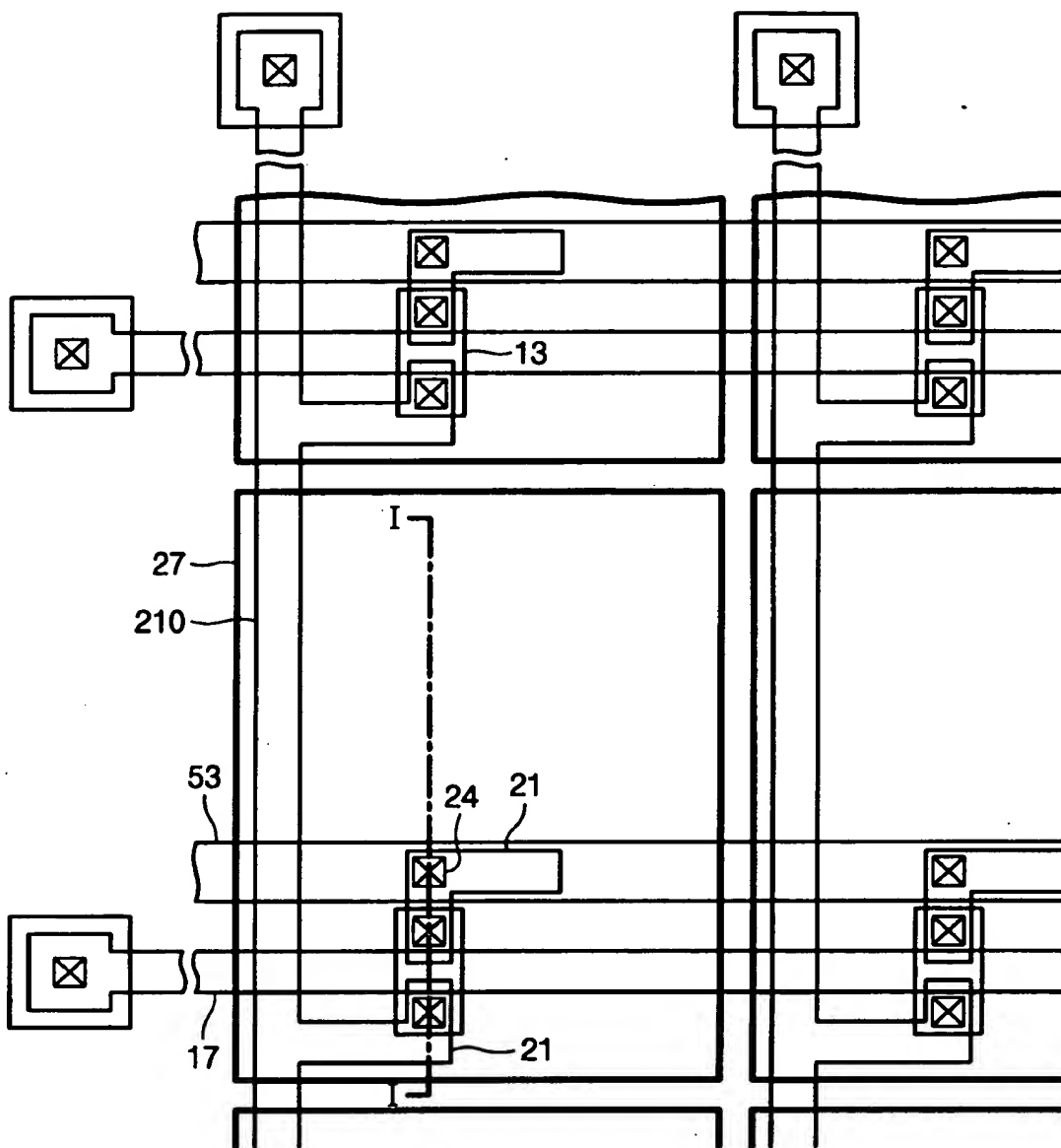
【도 1】



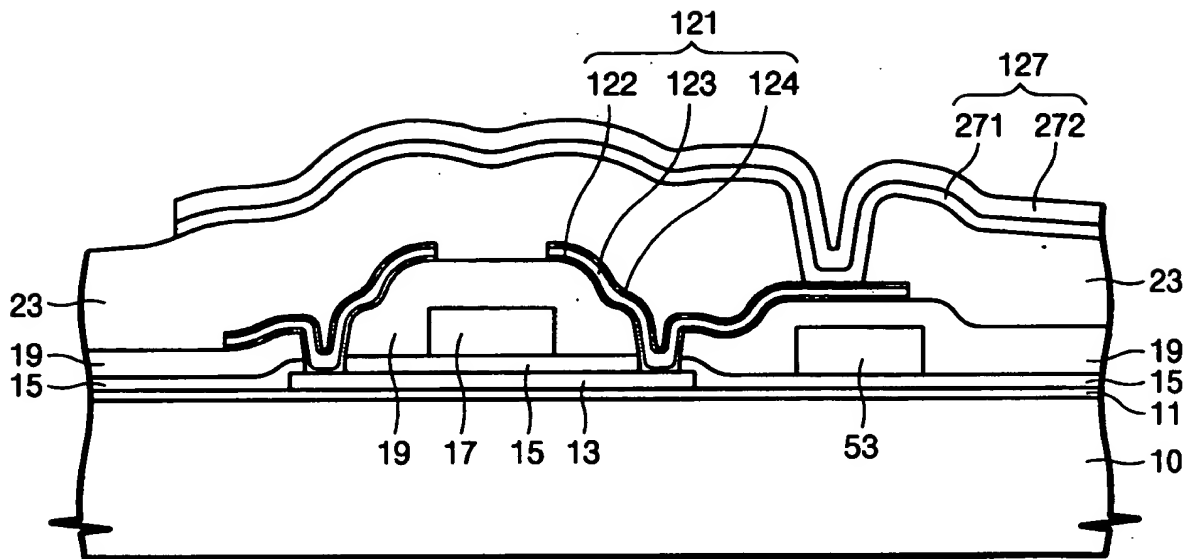
【도 2】



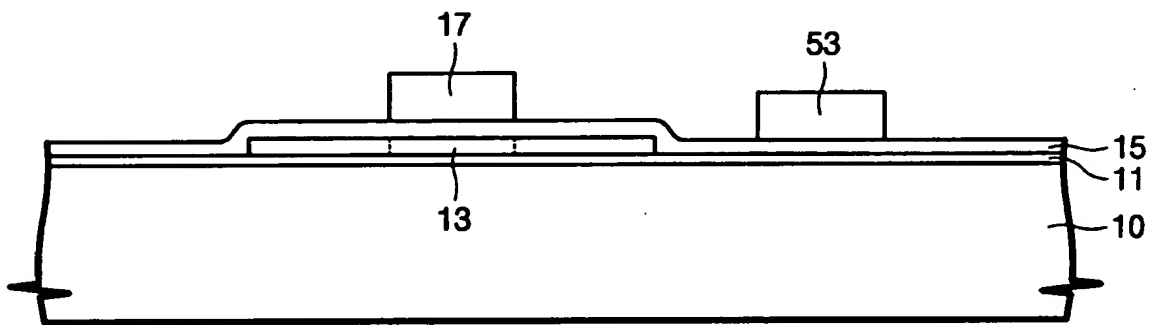
【도 3】



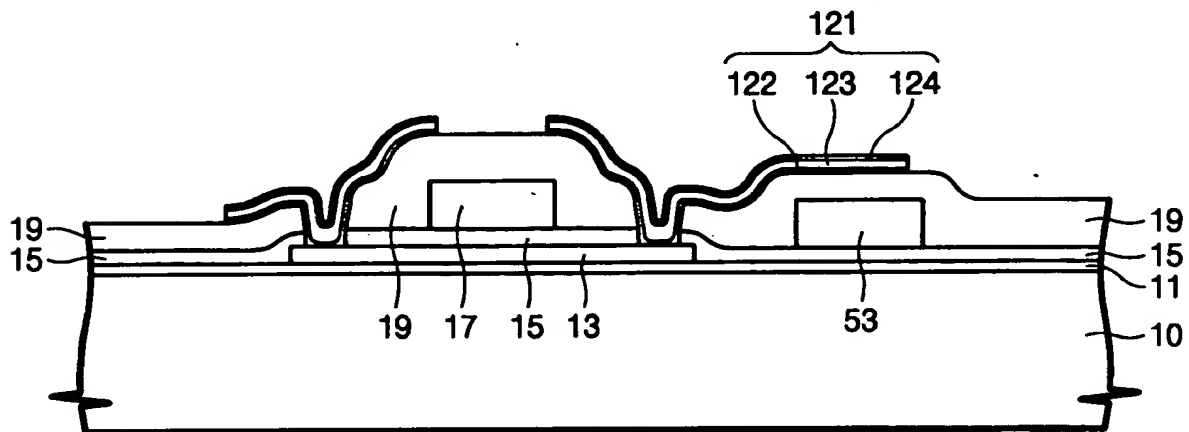
【도 4】



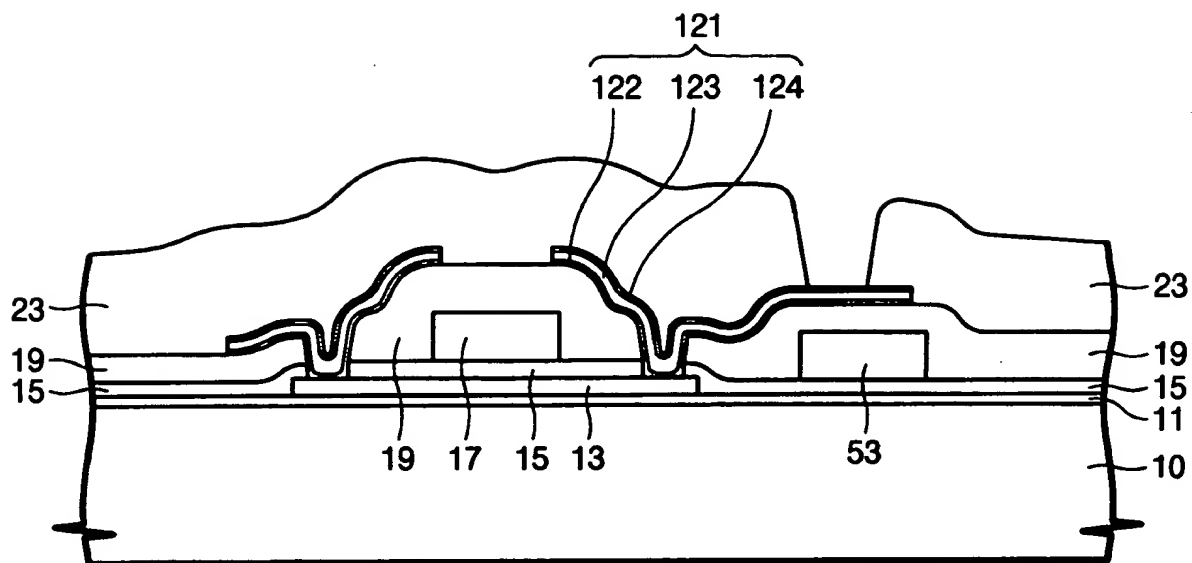
【도 5】



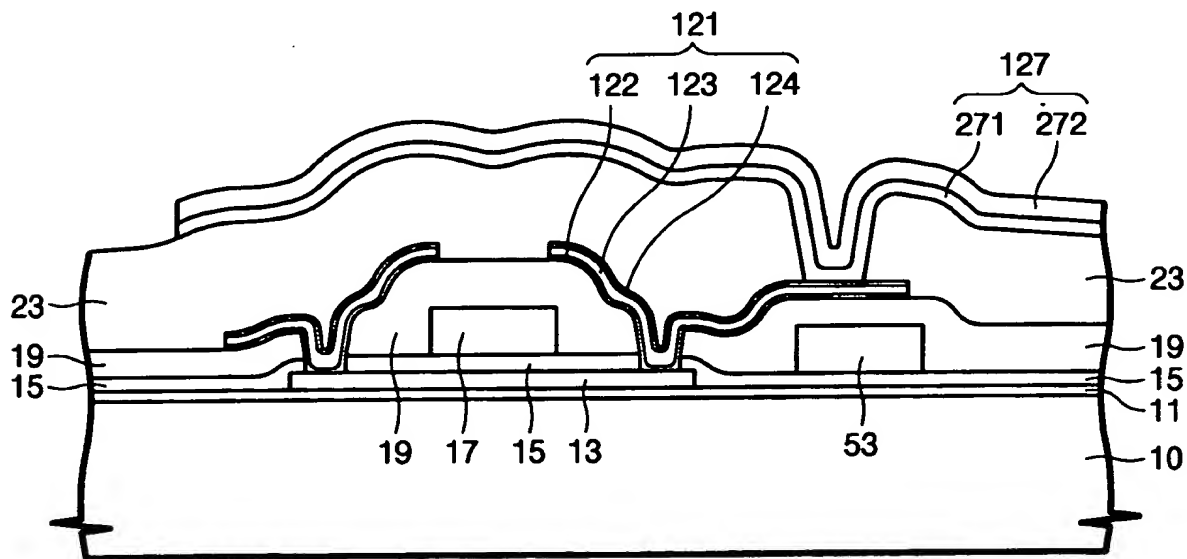
【도 6】



【도 7】



【도 8】



| | |
|------------|--|
| 【서류명】 | 명세서 등 보정서 |
| 【수신처】 | 특허청장 |
| 【제출일자】 | 2001.04.03 |
| 【제출인】 | |
| 【명칭】 | 삼성전자 주식회사 |
| 【출원인코드】 | 1-1998-104271-3 |
| 【사건과의 관계】 | 출원인 |
| 【대리인】 | |
| 【성명】 | 임창현 |
| 【대리인코드】 | 9-1998-000386-5 |
| 【포괄위임등록번호】 | 1999-007368-2 |
| 【대리인】 | |
| 【성명】 | 권혁수 |
| 【대리인코드】 | 9-1999-000370-4 |
| 【포괄위임등록번호】 | 1999-056971-6 |
| 【사건의 표시】 | |
| 【출원번호】 | 10-2001-0006820 |
| 【출원일자】 | 2001.02.12 |
| 【발명의 명칭】 | 다중 반사막을 가지는 박막트랜지스터 액정표시장치 |
| 【제출원인】 | |
| 【접수번호】 | 1-1-01-0030204-82 |
| 【접수일자】 | 2001.02.12 |
| 【보정할 서류】 | 명세서등 |
| 【보정할 사항】 | |
| 【보정대상 항목】 | 별지와 같음 |
| 【보정방법】 | 별지와 같음 |
| 【보정내용】 | 별지와 같음 |
| 【취지】 | 특허법시행규칙 제13조의 규정에 의하여 위와 같이 제출합니다. 대리인 임창현 (인) 대리인 권혁수 (인) |

【수수료】

【보정료】 0 원

【추가심사청구료】 0 원

【기타 수수료】 0 원

【합계】 0 원

【첨부서류】

1. 보정내용을 증명하는 서류_1통

【보정대상항목】 요약

【보정방법】 정정

【보정내용】

반사막을 가지는 박막트랜지스터 액정표시장치가 개시된다. 개시된 장치에 따르면, 기판에 적어도 하나 형성되는 화소의 박막트랜지스터, 소오스/드레인 전극 및 배선들, 박막트랜지스터, 소오스/드레인 전극 및 배선들 위로 기판 전면에 걸쳐 적층되며 상기 드레인 전극 일부를 드러내는 콘택 홀을 가지는 절연막, 절연막 위로 형성되며 상기 콘택 홀을 통해 상기 드레인 전극과 연결되며 상기 박막트랜지스터와 대응관계에 있는 반사형 화소전극을 가지는 박막트랜지스터 액정표시장치에 있어서, 화소전극이 화소전극 전면에 걸쳐서 다중 도전금속막으로 형성되는 것을 특징으로 한다. 이때, 드레인 전극은 상층막이 크롬층 혹은 텅스텐 폴리브덴층 가운데 하나로 이루어지는 복층으로 형성되고, 다중 도전금속막은 하층이 드레인 전극 상층막과 같은 재질로 이루어지고, 상층은 알루미늄 함유 금속으로 형성된 이중층으로 이루어지는 것이 바람직하다.

【보정대상항목】 발명의 명칭

【보정방법】 정정

【보정내용】

다중 반사막을 가지는 박막트랜지스터 액정표시장치{TFT LCD Having Multi-Layered Reflection Electrode}

【보정대상항목】 식별번호 4

【보정방법】 정정

【보정내용】

본 발명은 박막트랜지스터 액정표시장치에 관한 것으로서, 보다 상세하게는 절연막을 사이에 두고 하부의 드레인 전극과 접속하는 화소전극으로 반사막을 가지는 반사형 혹은 반사투과형 박막트랜지스터 액정표시장치에 관한 것이다.

【보정대상항목】 식별번호 5

【보정방법】 정정

【보정내용】

박막트랜지스터 액정표시장치는 화소전극의 반사 및 투명도 여부에 따라 반사형과 투과형으로 크게 나뉘며, 부분적으로 반사 영역과 투과 영역을 가지는 반투과형을 이룰 수도 있다. 화소전극에 액정의 배열을 조절할 전압을 인가하기 위해 화소전극은 어떤 형태이건 화소마다 형성되는 박막트랜지스터의 드레인 전극과 연결된다. 통상 화소전극은 박막트랜지스터의 드레인 전극과 층간 절연막에 형성된 비아(via)라 불리는 콘택을 통해 연결된다.

【보정대상항목】 식별번호 6

【보정방법】 정정

【보정내용】

그런데, 액정표시장치의 특성상 투과형의 경우 화소전극은 투명전극인 인듐 산화물을 사용하는데 이 물질은 배선금속으로 많이 사용되는 알루미늄과 접하면 알루미늄을 산화시

켜 계면에 절연성 산화막을 만들고, 화소전극에 전압을 인가하는 데 문제를 일으킬 수 있다. 따라서 투과형 액정표시장치에서는 드레인 전극을 형성할 때 알루미늄 함유 금속 위에 산화에 강한 텅스텐 몰리브덴, 크롬 등을 부가한 이중층으로 만들거나 크롬 등의 단일층으로 만들게 된다.

【보정대상항목】 식별번호 7

【보정방법】 정정

【보정내용】

한편, 반사형의 경우에 화소전극으로 알루미늄, 알루미늄 네드륨(AlNd)을 가장 많이 사용하게 되는데, 이 경우에도 드레인 전극의 사용범위가 제한된다. 도1을 참조하면, 소오스/드레인 전극(21, 21')으로 알루미늄과 같은 산화되기 쉬운 금속을 사용할 경우가 도시되어 있다. 소오스/드레인 전극 위에 보호막(주로, 감광성 유기 절연막:23)을 적층하고 화소전극(27)과의 연결을 위한 비아 홀을 형성한다. 이때, 비아 홀 형성을 위한 현상 과정 및 세정 과정에서 비아 홀을 통해 드러난 소오스/드레인 전극(21, 21')의 알루미늄 표면에 산화막(25)이 생긴다. 이 산화막(25)은 소오스/드레인 전극(21, 21')과 화소전극(27) 사이에서 콘택 저항을 높이는 문제를 발생시킨다.

【보정대상항목】 식별번호 8

【보정방법】 정정

【보정내용】

이런 문제를 방지하기 위해 도2와 같이 드레인 전극 상부(212')를 텅스텐 몰리브덴 등의 산화내성이 강한 금속을 사용하는 경우, 화소전극(27)을 이루는 알루미늄 함유 반사

막과 드레인 전극 상부(212')의 금속 사이에 전기 음성도의 차이에 의해 화학전지에서와 유사한 반응(battery effect)이 일어날 수 있다. 가령, 실리콘과 알루미늄 계면에서 발생하는 스파이크(spike) 현상과 유사하게, 계면에 공극(29)이 생길 수 있다. 또한, 계면에 발생한 공극(29)으로 주변의 알루미늄층이 함몰되면서 계면 주위의 단차진 부분에 알루미늄 함유 반사막에 크랙(31)이 발생하거나 기타 알루미늄 함유 반사막이 훼손되는 현상이 나타날 수 있다. 이들 공극(29)이나 크랙(31)은 모두 화소전극(27)과 드레인 전극(21') 사이의 콘택 저항을 높이는 역할을 하여 문제가 발생하게 된다. 이때 문제가 되는 배터리 효과(battery effect)는 두 금속 사이의 전기 음성도 차이에 비례하는 외에 접촉하는 두 금속의 표면적의 차이에 비례하는 특징이 있다. 통상 드레인 전극은 화소전극에 비해 표면적이 매우 작으므로 배터리 효과는 더욱 확대되고 콘택 저항이 매우 높아진다.

【보정대상항목】 식별번호 9

【보정방법】 정정

【보정내용】

그러나, 반사판 또는 화소전극으로 텅스텐 몰리브덴이나 크롬을 사용하는 것은 반사도와 도전성을 떨어뜨리는 문제가 있으므로 바람직하지 못하다. 따라서, 반사판의 반사도와 도전성을 높게 유지하면서 배터리 효과나 드레인 전극의 표면 산화로 인한 화소전극과 드레인 전극 계면의 콘택 저항 증가를 억제할 수 있는 박막트랜지스터 액정표시장치가 요청되고 있다.

【보정대상항목】 식별번호 10

【보정방법】 정정

【보정내용】

본 발명은 상술한 종래의 문제점을 해결하기 위한 것으로, 반사판의 반사도와 도전성을 높게 유지하면서, 화소전극과 드레인 전극 계면의 바테리 효과를 억제할 수 있는 박막트랜지스터 액정표시 장치를 제공하는 것을 목적으로 한다.

【보정대상항목】 식별번호 11

【보정방법】 정정

【보정내용】

또한, 본 발명은 반사판의 반사도와 도전성을 높게 유지하면서, 화소전극과 드레인 전극 계면에 절연성 산화막이 발생하는 것을 방지할 수 있는 박막트랜지스터 액정표시 장치를 제공하는 것을 목적으로 한다.

【보정대상항목】 식별번호 12

【보정방법】 정정

【보정내용】

결국, 본 발명은 반사판의 반사도와 도전성을 높게 유지하면서, 화소전극과 드레인 전극 계면의 콘택 저항 증가를 효과적으로 방지할 수 있는 박막트랜지스터 액정표시 장치를 제공하는 것을 목적으로 한다.

【보정대상항목】 식별번호 13

【보정방법】 정정

【보정내용】

상기 목적을 달성하기 위한 본 발명의 박막트랜지스터 액정표시장치는 반사막을 가지는 박막트랜지스터 액정표시장치에 있어서, 화소전극 전면에 걸쳐 화소전극을 이루는 반사막을 다중 도전막으로 형성함을 특징으로 한다. 바람직하게는, 드레인 전극의 상부에 산화도가 낮은 금속을 사용하고, 상기 금속과 닿는 반사막 하부에 상기 금속과 전기 음성도 차이가 낮은 금속을 사용하며, 반사막 상부에 알루미늄 함유 금속을 사용하는 것을 특징으로 한다.

【보정대상항목】 식별번호 14

【보정방법】 정정

【보정내용】

본 발명에서, 반사막 하층의 금속은 드레인 전극 상부의 금속과 동일한 금속을 사용하는 것이 보다 바람직하며, 통상 텅스텐 몰리브덴, 크롬 등을 사용할 수 있다. 알루미늄 함유 금속은 순수 알루미늄이나 알루미늄 내디튬을 통상 사용한다. 반사막은 따라서 드레인 전극 상부에 사용된 금속을 적층하고 바로 알루미늄 등의 반사금속을 적층한 다음 이들을 연속적으로 패터닝하는 방법으로 형성하게 될 것이다. 그러나 반사막이 반드시 2중층으로 한정된 것은 아니다. 즉, 배터리 효과를 보다 효과적으로 억제하기 위해 필요한 경우, 드레인 전극 상부에 사용된 금속을 먼저 적층하고, 중간 금속층을 다시 적층한 뒤에 알루미늄 등의 반사금속층을 적층하고 패터닝 할 수 있다.

【보정대상항목】 식별번호 15

【보정방법】 정정

【보정내용】

그리고, 드레인 금속은 통상 소오스 전극 및 소오스 전극에 이어지는 데이터 라인과 동일한 도전층으로 형성되는데 데이터 라인의 저항에 따른 신호 전압 강하를 방지하기 위해 도전성이 클 것이 요구된다. 따라서, 드레인 금속은 도전성을 높이기 위한 알미늄층 위에 산화 방지를 위한 크롬이나 텅스텐 몰리브덴을 부가하여 사용하거나, 활성 영역의 실리콘과의 접촉에 의한 스파이크 현상을 방지하기 위해 알미늄층 아래 크롬이나 텅스텐 몰리브덴을 더 부가하는 3중층으로 형성하는 것이 바람직하다. 또한, 드레인 전극을 데이터 라인과 함께 3중층으로 형성할 경우, 패터닝 과정에서 알미늄 함유층과 함께 패터닝하기 용이하다는 측면에서 크롬 보다는 텅스텐 몰리브덴을 이용하는 것이 보다 바람직하다.

【보정대상항목】 식별번호 16

【보정방법】 정정

【보정내용】

본 발명에 따르면, 드레인 전극 상부와 화소전극의 반사막 하부가 동일한 금속 혹은 전기 음성도의 차이가 낮은 금속으로 이루어지므로 이들 사이의 바테리 효과를 무시할 수 있다. 또한, 2중층을 갖는 반사막에서 하부 금속층과 상부 금속층이 동일한 패터닝공정을 통해 동일한 면적을 가지도록 동시에 형성되므로 비록 두 금속층 사이에 전기 음성도의 차이는 있지만 면적의 차이에 의한 바테리 효과를 방지할 수 있다. 결과적으로

드레인 전극과 반사막 사이의 바테리 효과는 많은 부분이 억제되고, 콘택 계면의 스푼
이크 현상이나 계면 주변의 크랙은 방지될 수 있다.

【보정대상항목】 식별번호 17

【보정방법】 정정

【보정내용】

또한, 드레인 전극 상부의 금속으로 산화에 대한 내성이 강한 금속을 사용하므로써
드레인 전극 표면이 산화성 있는 세정액 및 현상액 기타 산화성 환경에 노출되는 경우
에도 표면에 절연성 산화막이 생겨 콘택 저항을 높이는 것을 막을 수 있다.

【보정대상항목】 식별번호 20

【보정방법】 정정

【보정내용】

게이트 전극은 행 방향으로 형성되는 게이트 배선(17)의 일부를 이루며, 게이트 배
선(17) 위로 형성되는 층간 절연막(도4의 19)이 덮인다. 층간 절연막에는 콘택 홀(22)이
형성되어 활성 영역 패턴(13)이 게이트 전극에 의해 분할된 두 부분 각각이 연결되도록
, 도전층을 적층 패터닝하여 형성된 소오스/드레인 전극(121, 121')이 있다. 통상, 소오
스/드레인 전극(121, 121')과 같은 도전층으로, 상기 소오스/드레인 전극(121, 121') 가
운데 소오스측과 연결되는 데이터 배선(210)이 형성된다. 데이터 배선(210)은 게이트 배
선(17)과 수직 방향인 열 방향으로 형성되어 있다.

【보정대상항목】 식별번호 21

【보정방법】 정정

【보정내용】

소오스/드레인 전극(121, 121') 및 데이터 배선(210) 위로 소오스/드레인 전극(121, 121') 가운데 드레인측의 일부를 드러내는 비아홀(24)을 가지는 보호막(도4의 23)이 형성되어 있다. 보호막 위로, 비아홀(24)을 통해 드레인 전극과 접속되는 화소전극(127)이 도전층 적층 패턴을 통해 형성된다. 게이트 배선(17)과 나란히 달리는 것은 정전용량을 보충하기 위해 형성되는 스토리지 라인(53)이다.

【보정대상항목】 식별번호 23

【보정방법】 정정

【보정내용】

도4는 도3의 I I 절단선에 따라 절개한 측단면을 나타낸다. 기판(10)에 탑 게이트 폴리실리콘형 박막트랜지스터가 형성되어 있고, 층간 절연막(19)에 형성된 콘택 홀(22)에 의해 층간 절연막(19) 위에 형성되는 소오스/드레인 전극(121, 121')이 박막트랜지스터의 소오스/드레인 영역과 접속되어 있다. 소오스/드레인 전극(121, 121')은 텅스텐 몰리브덴층이 상하층(122, 124)을 이루고 있고, 중간층(123)이 알루미늄 내디퓨층으로 이루어진 3중막으로 이루어져 있다. 소오스/드레인 전극(121, 121') 위에는 감광성 유기 절연막으로 된 보호막(23)이 수 μm 두께로 적층되어 있다. 보호막(23)은 드레인 전극(121') 위에서 제거되어 비아 홀을 이루고 있으며, 비아 홀을 통해 보호막(23) 위에 적층 패턴된 화소전극(127)이 드레인 전극(121')과 닿아 있다. 화소전극 하부(271)는 텅스텐 몰리

브덴층으로 이루어지고, 화소전극 상부(272)는 알미늄 내디몹층으로 이루어져 있다.

【보정대상항목】 식별번호 25

【보정방법】 정정

【보정내용】

도5를 참조하면, 먼저 기판(10)에 박막트랜지스터 구조를 형성한다. 박막트랜지스터 구조를 형성하기 위해서 먼저 기판에 아몰퍼스 실리콘층을 형성하고 레이저 어닐링을 통해 폴리실리콘층으로 변화시킨다. 통상, 아몰퍼스 실리콘층을 형성하기 전에 블로킹층(blocking layer:11)로 실리콘 산화막을 수백 내지 1000 옹스트롬 적층한다. 그리고, 폴리실리콘층을 패터닝하여 활성 영역 패턴(13)을 형성한다. 활성 영역 패턴(13) 위로 게이트 절연막(15)을 적층한다. 게이트 절연막(15)은 실리콘 산화막 혹은 실리콘 질화막을 CVD 방법으로 백 내지 수백 옹스트롬 정도 적층하여 형성한다. 게이트 절연막(15) 위로 게이트 배선(17)을 형성한다. 게이트 배선(17)과 함께 스토리지 배선(53)도 형성된다. 게이트 배선(17)은 알미늄 함유 금속의 단일층 혹은 알미늄 함유 금속에 텅스텐 몰리브덴이나 크롬층을 적층한 복수의 금속층으로 이루어진다. 게이트 배선(17)은 화소의 게이트 전극과 게이트 패드를 포함하는 개념이다. 게이트 전극을 이온주입 마스크로 활성 영역 패턴에 이온주입을 실시하여 소오스/드레인 영역과 채널 영역을 구분하게 된다.

【보정대상항목】 식별번호 27

【보정방법】 정정

【보정내용】

도6을 참조하면, 게이트 배선(17) 위로 주로 실리콘 질화막이나 실리콘 산화막을 CVD로 적층하여 층간 절연막(19)을 형성한다. 소오스 드레인 영역에서 층간 절연막(19)과 게이트 절연막(15)을 제거하여 활성 영역 패턴(13)의 일부를 드러내는 콘택 홀을 형성한다. 그리고, 텅스텐 몰리브덴, 알루미늄 내디륨, 텅스텐 몰리브덴으로 하층(122), 중층(123), 상층(124)의 3중층을 스퍼터링 방법으로 기판 전체에 적층한다. 또한, 동일한 식각 마스크를 이용하여 이들 3중층을 연속적으로 패터닝하여 소오스/드레인 전극(121, 121')과 도시되지 않은 데이터 라인을 형성한다.

【보정대상항목】 식별번호 28

【보정방법】 정정

【보정내용】

이상의 예는 활성 영역을 폴리 실리콘으로 형성하는 저온 다결정 실리콘 박막트랜지스터 액정표시장치의 경우를 나타내고 있으나, 아몰퍼스 실리콘 형성 후 레이저 어닐링을 거치지 않는 활성 영역, 즉 아몰퍼스 실리콘으로 활성 영역을 형성하는 아몰퍼스 실리콘형 박막트랜지스터 액정표시장치에서도 본 발명의 적용은 가능하다. 또한, 아몰퍼스 실리콘형 박막트랜지스터는 본 예와 같이 탑 게이트형일 수 있고, 바텀 게이트 구조를 가지는 것도 무방하다.

【보정대상항목】 식별번호 29

【보정방법】 정정

【보정내용】

도7을 참조하면, 감광성 유기 절연막을 보호막(23)으로 박막트랜지스터가 형성된 기판 전면에서 형성한다. 감광성 유기 절연막은 별도의 식각 없이 패터닝을 할 수 있으므로 다른 절연막에 비해 편리한 점이 있다. 그리고 노광 및 현상을 통해 드레인 전극의 일부를 드러내는 비아 홀을 형성한다. 현상 과정에서 드레인 전극 영역의 일부 보호막(23)이 제거되어 비아 홀을 만들고 이 비아 홀을 통해 산화성이 강한 현상액이 드레인 전극에 닿게 된다. 그러나, 소오스/드레인 전극 상층(124)은 산화에 강한 텅스텐 몰리브덴으로 이루어져 절연성 산화막을 형성하지 않는다. 한편, 보호막(23) 상면에 대해 노광을 조절함으로써 울록불록한 작은 돌기들을 형성할 수 있다. 이들 돌기들은 집합적으로 마이크로 렌즈를 형성하여 화소전극을 이루는 반사판의 집광효율을 높일 수 있다.

【보정대상항목】 식별번호 31

【보정방법】 정정

【보정내용】

한편, 이상의 예에서는 화소전극으로 반사막만을 가진 반사형 액정표시장치의 경우를 살펴보았으나, 본 발명은 반사형 액정표시장치에 한정된 것은 아니다. 즉, 반사막을 사용하는 화소전극은 반사형뿐만 아니라 반사투과형도 있을 수 있다. 반사투과형의 한 예를 들면, 드레인 전극 일부를 드러내는 보호막을 형성한 후에 화소영역에 투명전극으로 이루어진 화소전극 패턴을 형성한다. 그리고 투명한 화소전극 패턴이 형성된 기판에

크롬막과 알미늄막을 차례로 적층하고 함께 패터닝하여 화소영역 일부에 창을 가진 반사막 화소전극 패턴을 이룬다. 드레인 전극은 텅스텐 몰리브덴 상하층과 알미늄 중간층을 가진 3층막으로 한다. 이런 예에서 비록 드레인 전극 상층과 화소전극의 하층이 동일한 막으로 이루어지지 않는 않지만 화소전극의 알미늄층이 드레인 전극 상층과 바로 접하여 발생하는 문제점을 상당부분 경감할 수 있다.

【보정대상항목】 식별번호 33

【보정방법】 삭제

【보정대상항목】 청구항 1

【보정방법】 정정

【보정내용】

기판,

상기 기판에 적어도 하나 형성되는 박막트랜지스터, 소오스/드레인 전극 및 배선들

상기 박막트랜지스터, 소오스/드레인 전극 및 배선들 위로 상기 기판 전면에서 걸쳐 적층되며 상기 드레인 전극 일부를 드러내는 콘택 홀을 가지는 절연막,

상기 절연막 위로 형성되며 상기 콘택 홀을 통해 상기 드레인 전극과 연결되며 상기 박막트랜지스터와 대응관계에 있는 반사막 화소전극을 가지는 박막트랜지스터 액정표시장치에 있어서,

상기 화소전극이 화소전극 전면에 걸쳐서 다중 도전막으로 형성되는 것을 특징으로 하는 다중 반사막을 가지는 박막트랜지스터 액정표시장치.

【보정대상항목】 청구항 2

【보정방법】 정정

【보정내용】

제 1 항에 있어서,

상기 드레인 전극은 복수의 층으로 이루어지고, 상기 복수의 층 가운데 최상층막은 크롬층 혹은 텅스텐 몰리브덴층 가운데 하나로 이루어지는 것을 특징으로 하는 다중 반사막을 가지는 박막트랜지스터 액정표시장치.

【보정대상항목】 청구항 3

【보정방법】 정정

【보정내용】

제 2 항에 있어서,

상기 다중 도전막은 2중층으로 이루어지며, 하층은 상기 최상층막과 같은 재질로 이루어지고, 상층은 알루미늄 함유 금속으로 형성되는 것을 특징으로 하는 다중반사막을 가지는 박막트랜지스터 액정표시장치.

【보정대상항목】 청구항 4

【보정방법】 정정

【보정내용】

제 2 항에 있어서,

상기 다중 도전막은 3중층으로 이루어지며, 상기 최상층막과 같은 재질의 하층과 알루미늄 함유 금속으로 형성된 상층 사이에 전기음성도가 하층과 상층의 중간에 있는 중층 도전막을 구비함을 특징으로 하는 다중 반사막을 가지는 박막트랜지스터 액정표시장치.

【보정대상항목】 청구항 5

【보정방법】 정정

【보정내용】

제 2 항에 있어서,

상기 복수의 층은 중간의 알루미늄 함유 금속층과 하부의 텅스텐 몰리브덴층을 포함하는 3중층으로 이루어지는 것을 특징으로 하는 다중 반사막을 가지는 박막트랜지스터 액정표시장치.

【보정대상항목】 청구항 6

【보정방법】 정정

【보정내용】

제 1 항에 있어서,

상기 박막트랜지스터는 탑 게이트 폴리실리콘형 박막트랜지스터인 것을 특징으로 하는 다중 반사막을 가지는 박막트랜지스터 액정표시장치.

【보정대상항목】 청구항 7

【보정방법】 정정

【보정내용】

제 1 항에 있어서,

상기 절연막은 감광성 유기 절연막으로 이루어진 것을 특징으로 하는 다중 반사막을 가지는 박막트랜지스터 액정표시장치.

【보정대상항목】 청구항 8

【보정방법】 정정

【보정내용】

제 7 항에 있어서,

상기 절연막 상면에 마이크로 렌즈의 역할을 할 수 있는 작은 돌기들이 형성된 것을 특징으로 하는 다중 반사막을 가지는 박막트랜지스터 액정표시장치.

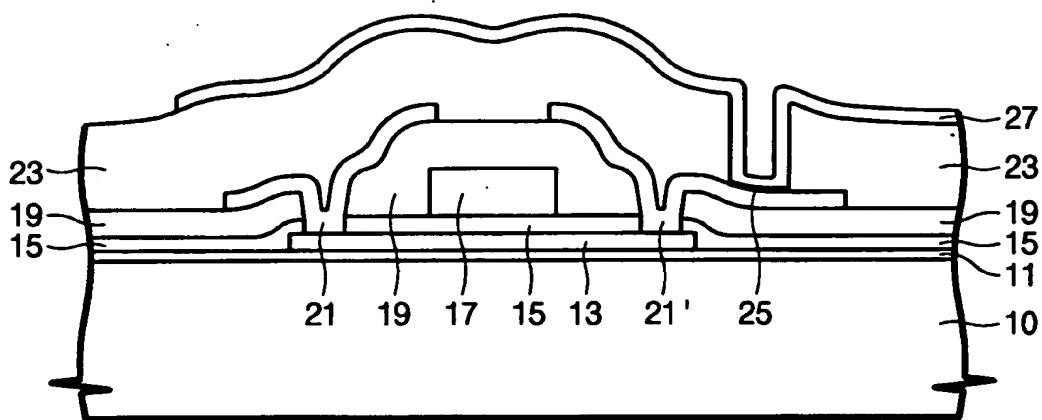
【보정대상항목】 도 1

【보정방법】 정정

【보정내용】

【도 1】

(종래기술)



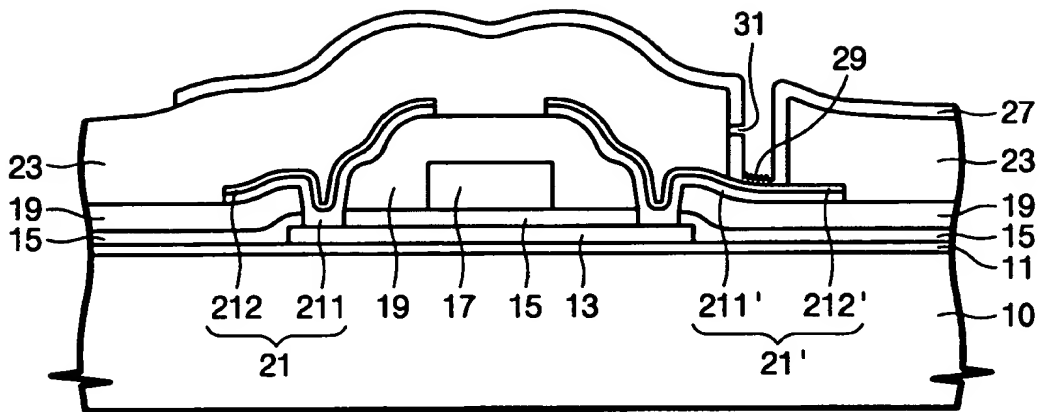
【보정대상항목】 도 2

【보정방법】 정정

【보정내용】

【도 2】

(종래기술)

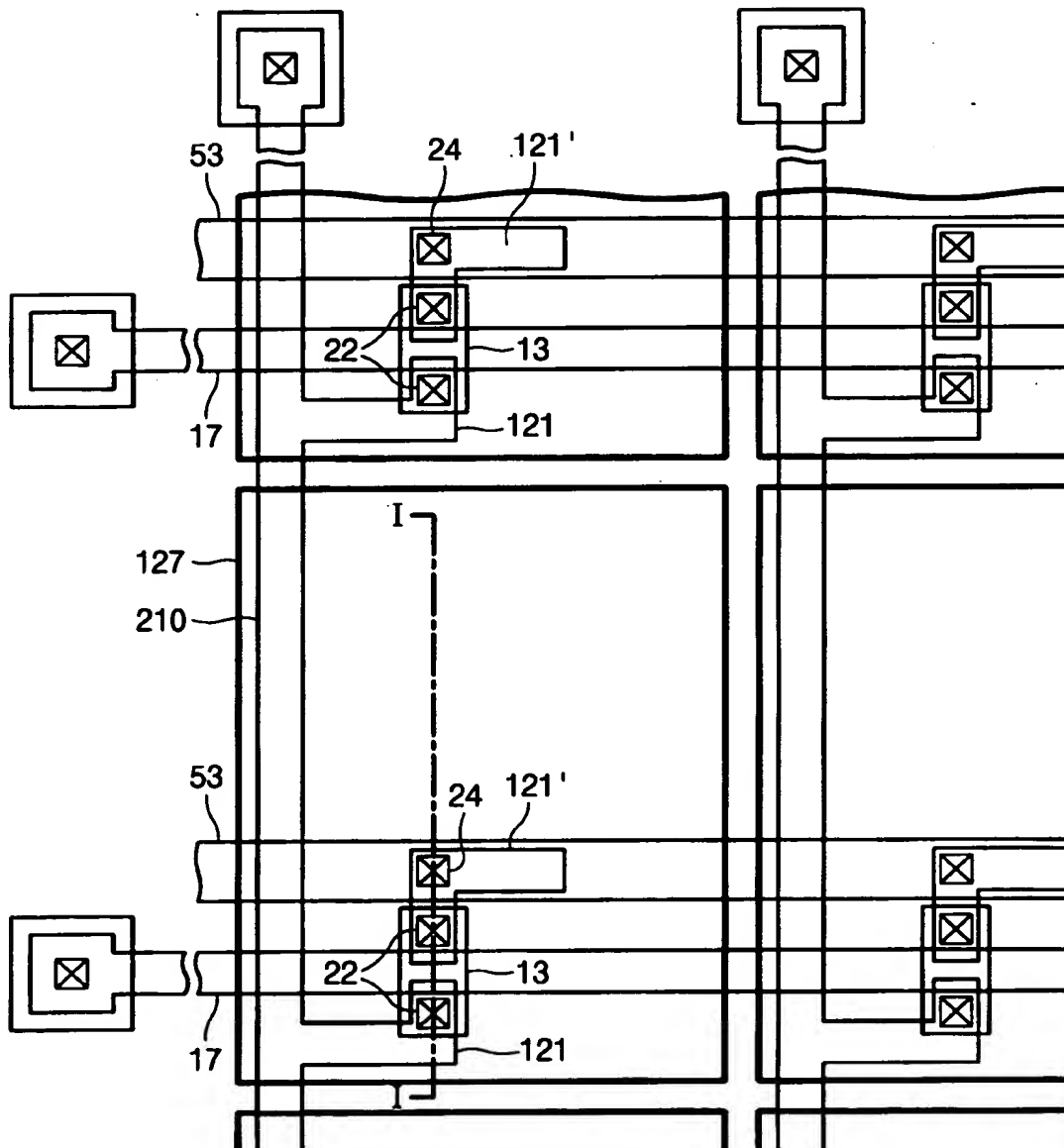


【보정대상항목】 도 3

【보정방법】 정정

【보정내용】

【도 3】

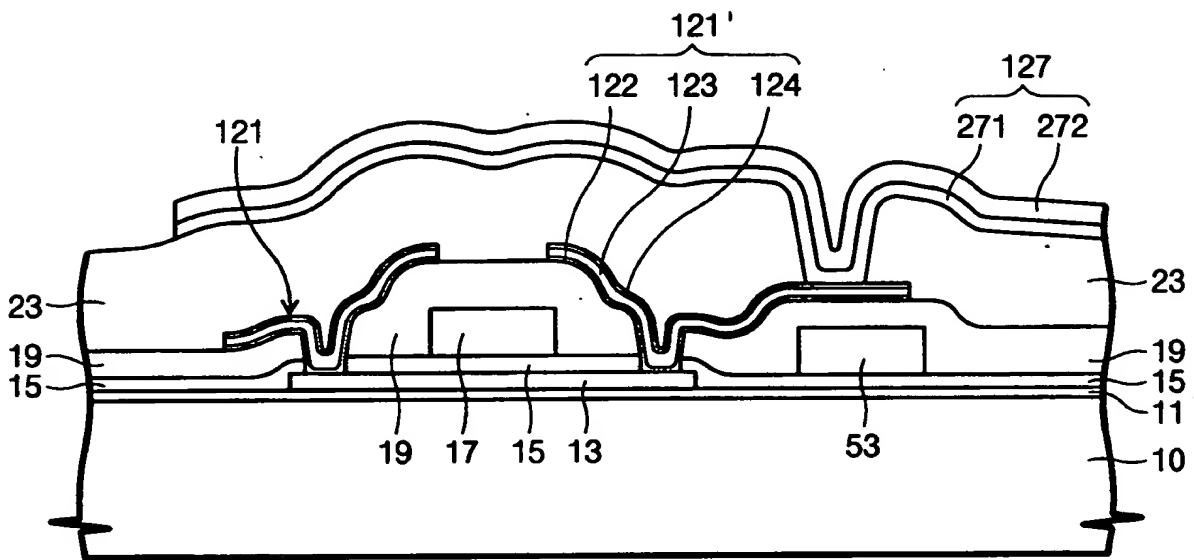


【보정대상항목】 도 4

【보정방법】 정정

【보정내용】

【도 4】

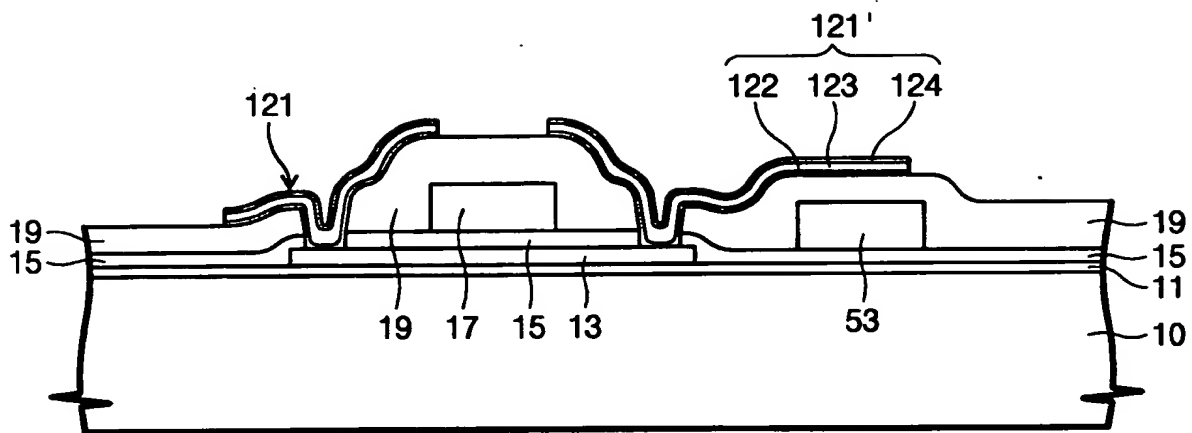


【보정대상항목】 도 6

【보정방법】 정정

【보정내용】

【도 6】

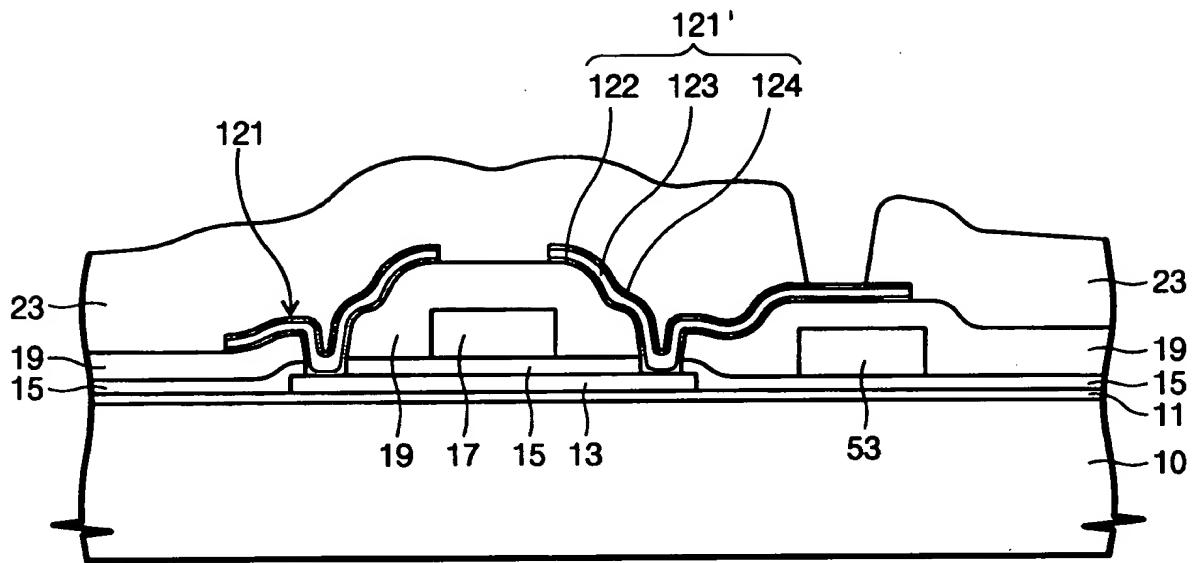


【보정대상항목】 도 7

【보정방법】 정정

【보정내용】

【도 7】

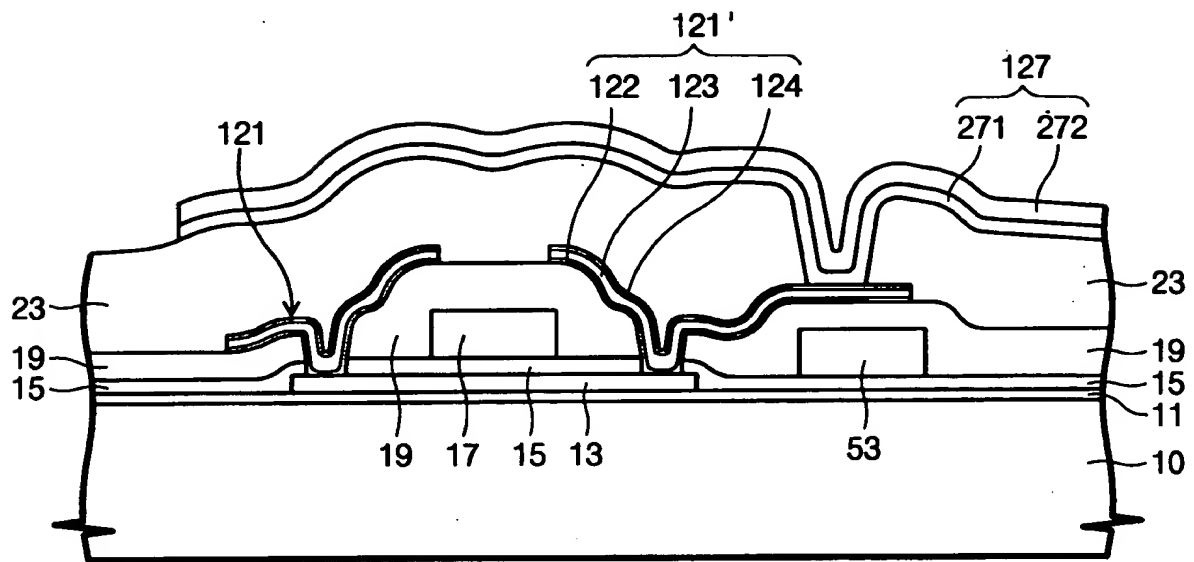


【보정대상항목】 도 8

【보정방법】 정정

【보정내용】

【도 8】



| | | |
|------------|----------------------------|------|
| 【서류명】 | 서지사항 | 보정서 |
| 【수신처】 | 특허청장 | |
| 【제출일자】 | 2001.04.06 | |
| 【제출인】 | | |
| 【명칭】 | 삼성전자 | 주식회사 |
| 【출원인코드】 | 1-1998-104271-3 | |
| 【사건과의 관계】 | 출원인 | |
| 【대리인】 | | |
| 【성명】 | 임창현 | |
| 【대리인코드】 | 9-1998-000386-5 | |
| 【포괄위임등록번호】 | 1999-007368-2 | |
| 【대리인】 | | |
| 【성명】 | 권혁수 | |
| 【대리인코드】 | 9-1999-000370-4 | |
| 【포괄위임등록번호】 | 1999-056971-6 | |
| 【사건의 표시】 | | |
| 【출원번호】 | 10-2001-0006820 | |
| 【출원일자】 | 2001.02.12 | |
| 【발명의 명칭】 | 다중 반사막을 가지는 박막트랜지스터 액정표시장치 | |
| 【제출원인】 | | |
| 【접수번호】 | 1-1-01-0030204-82 | |
| 【접수일자】 | 2001.02.12 | |
| 【보정할 서류】 | 특허출원서 | |
| 【보정할 사항】 | | |
| 【보정대상 항목】 | 발명자 | |
| 【보정방법】 | 정정 | |
| 【보정내용】 | | |
| 【발명자】 | | |
| 【성명의 국문표기】 | 정우석 | |
| 【성명의 영문표기】 | CHUNG, WOO SUK | |
| 【주민등록번호】 | 750119-1057140 | |
| 【우편번호】 | 431-060 | |

| | |
|------------|--|
| 【주소】 | 경기도 안양시 동안구 관양동 한양아파트 307동 1503호 |
| 【국적】 | KR |
| 【발명자】 | |
| 【성명의 국문표기】 | 황장원 |
| 【성명의 영문표기】 | HWANG, CHANG WON |
| 【주민등록번호】 | 690105-1344217 |
| 【우편번호】 | 449-840 |
| 【주소】 | 경기도 용인시 수지읍 죽전리 현암마을 동성2차 105동 306호 |
| 【국적】 | KR |
| 【취지】 | 특허법시행규칙 제13조의 규정에 의하여 위와 같이 제출합 니다. 대리인 임창현 (인) 대리인 권혁수 (인) |
| 【수수료】 | |
| 【보정료】 | 0 원 |
| 【기타 수수료】 | 원 |
| 【합계】 | 0 원 |